

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-144245
(P2001-144245A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.⁷

H 0 1 L 25/00
23/12

識別記号

F I

H 0 1 L 25/00
23/12

ターマート* (参考)

B
B
L

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平11-322828

(22) 出願日 平成11年11月12日 (1999. 11. 12)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 堀川 泰愛

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74) 代理人 100091672

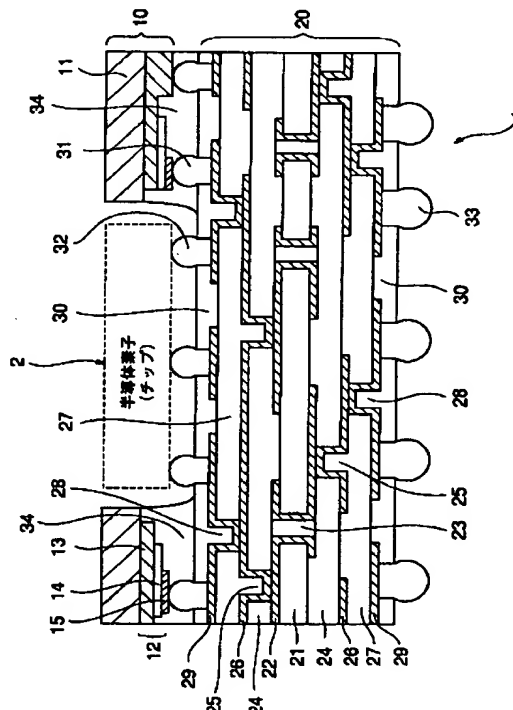
弁理士 岡本 啓三

(54) 【発明の名称】 半導体パッケージ及びその製造方法並びに半導体装置

(57) 【要約】

【課題】 半導体パッケージ及びその製造方法において、容量素子等の受動素子を薄膜法等により形成する際にその成膜を安定に行うための高温のプロセスを適応可能とし、併せて小型化及び軽量化も図ることを目的とする。

【解決手段】 耐熱性を有する板材11の上に、少なくとも電極層13、15を有する受動素子12を形成して構造体10を作製し、これとは別に、受動素子12と半導体素子2を搭載するための接続端子31、32を有する樹脂配線板20を作製し、受動素子12の電極層13、15を接続端子31に対応させて構造体10と樹脂配線板20とを接合する。



【特許請求の範囲】

【請求項 1】 半導体素子を搭載するための半導体パッケージであって、

前記半導体素子が搭載される部分に対応した箇所に、該半導体素子の搭載により占有される面積よりも大きな面積の開口部を有すると共に、耐熱性を有する枠状の板材の一方の面に受動素子が形成された構造体と、

前記受動素子を搭載するための第 1 の電気的接続手段及び前記半導体素子を搭載するための第 2 の電気的接続手段を同一面側に有する樹脂配線板とを備え、

前記構造体の一方の面側と前記樹脂配線板とが前記第 1 の電気的接続手段を介して接合されていることを特徴とする半導体パッケージ。

【請求項 2】 前記耐熱性を有する枠状の板材が、金属板により形成されていることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】 前記構造体と前記樹脂配線板とが、更に絶縁性の接着剤により接合されていることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 4】 前記第 1 及び第 2 の電気的接続手段が、はんだバンプ、金バンプ又は異方性導電膜であることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 5】 半導体素子を搭載するための半導体パッケージの製造方法であって、

耐熱性を有する板材の一方の面に、薄膜法又は厚膜法により、少なくとも電極層を有する受動素子を形成する第 1 の工程と、

前記受動素子を搭載するための第 1 の接続端子と前記半導体素子を搭載するための第 2 の接続端子を同一面側に有する樹脂配線板を作製する第 2 の工程と、

前記板材の上に前記受動素子が形成された構造体と前記樹脂配線板とを、前記受動素子の電極層が前記第 1 の接続端子に対応するようにして接合する第 3 の工程とを含むことを特徴とする半導体パッケージの製造方法。

【請求項 6】 前記第 1 の工程において前記受動素子を 200℃以上の温度で形成することを特徴とする請求項 5 に記載の半導体パッケージの製造方法。

【請求項 7】 前記第 1 の工程において、前記耐熱性を有する板材として、前記半導体素子が搭載される部分に対応した箇所に、該半導体素子の搭載により占有される面積よりも大きな面積の開口部を有するように枠状に加工された金属板を用いることを特徴とする請求項 5 に記載の半導体パッケージの製造方法。

【請求項 8】 前記第 3 の工程において、更に絶縁性の接着剤を用いて前記構造体と前記樹脂配線板とを接合することを特徴とする請求項 5 に記載の半導体パッケージの製造方法。

【請求項 9】 前記第 1 及び第 2 の接続端子として、はんだバンプ又は金バンプを形成することを特徴とする請求項 5 に記載の半導体パッケージの製造方法。

【請求項 10】 請求項 9 に記載の接続端子に代えて、異方性導電膜を用いて前記第 1 及び第 2 の接続端子を形成することを特徴とする請求項 5 に記載の半導体パッケージの製造方法。

【請求項 11】 請求項 1 から 4 のいずれか一項に記載の半導体パッケージに前記第 2 の電気的接続手段を介して半導体素子が搭載されていることを特徴とする半導体装置。

10 【請求項 12】 請求項 5 から 10 のいずれか一項に記載の半導体パッケージの製造方法によって製造された半導体パッケージに前記第 2 の接続端子を介して半導体素子が搭載されていることを特徴とする半導体装置。

【請求項 13】 耐熱性を有する板材の一方の面に受動素子が形成された構造体と、

前記受動素子を搭載するための第 1 の電気的接続手段及び半導体素子を搭載するための第 2 の電気的接続手段を同一面側に有する樹脂配線板とを備え、

前記半導体素子が前記第 2 の電気的接続手段を介して前記樹脂配線板に実装されると共に、前記構造体の一方の面側と前記樹脂配線板とが前記第 1 の電気的接続手段を介して接合されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子を搭載するのに供されるパッケージ（以下「半導体パッケージ」と称する）及びその製造方法並びに半導体装置に関し、より詳細には、半導体パッケージ内に容量素子等の受動素子を薄膜法等により形成する際にその成膜を安定して行うのに有用な技術に関する。

30 【0002】

【従来の技術】 近年、半導体素子（チップ）の高集積化の要求に伴い、これを搭載する半導体パッケージについても配線の微細化及び高密度化が要求され、さらに小型化及び軽量化が要求されている。そこで、近年実用化が進んできたのが、ビルドアップ法を用いた多層配線基板である。かかる多層配線基板を用いた半導体パッケージでは、集積度等が進展した半導体素子でも搭載することが可能である。

40 【0003】 しかしその反面、かかる多層配線基板では配線パターンが高密度に（つまり互いに近接して）形成されているため、配線間でクロストークノイズが生じたり、また電源ライン等の電位が変動したりするなどの問題が生じる。特に、高速のスイッチング動作が要求される高周波用の半導体素子を搭載するパッケージでは、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速にオン／オフすることでスイッチングノイズが発生し、これによって電源ライン等の電位が変動し易くなる。

50 【0004】 そこで、このようなノイズや電源電位の変動等を抑制するために、従来より、チップ・キャパシタ

等の容量素子を半導体素子の近傍に配設して信号ラインや電源ライン等を「デカップリング」することが行われている。このとき、その容量素子と半導体素子との間が距離的に離れていると、両者間を接続する配線のインダクタンスが大きくなるため、容量素子によるデカップリング効果を十分に発揮できないという問題が生じる。従って、インダクタンスを出来るだけ小さくするために、容量素子は半導体素子に出来るだけ近くに配置することが望ましい。

【0005】また、容量素子としてチップ・キャパシタをパッケージ上に搭載すると、パッケージ全体が大型化し、また重くなるおそれもある。これは、最近の半導体パッケージの小型化及び軽量化の要求に応えることを困難にするものである。そこで、本発明者は、このような不都合に対処するための技術を以前に提案した（特願平11-242071号）。ここに記載された技術では、従来のようにチップ・キャパシタを多層配線基板（パッケージ）上に設ける代わりに、同等の容量素子を多層配線基板の内部に、しかも多層配線基板の半導体素子搭載面の樹脂層の直下の領域に形成している。この構造により、チップ・キャパシタを付設した従来の多層配線基板に比べて、容量素子と半導体素子との間の配線距離を短くすることができ、また、容量素子が配線基板に内装されているのでパッケージ全体として小型化及び軽量化を図ることができる。

【0006】

【発明が解決しようとする課題】上述したように、本発明者が提案した先行技術は、容量素子と半導体素子の近接により十分なデカップリング効果を奏し、また容量素子の内装によりパッケージの小型化及び軽量化に寄与するという利点を有しているが、その反面、不利な点も有している。

【0007】すなわち、この先行技術では配線基板の内部に容量素子を形成しており、この容量素子の誘電体層を含めて絶縁層を構成する材料として耐熱性に劣る有機樹脂を用いているため、成膜が可能な範囲内でプロセス温度を出来るだけ低くする必要がある。この先行技術では、プロセス温度を200℃以下としている。一般的に、薄膜法（例えばスパッタリング、CVD等）や厚膜法（例えばスクリーン印刷による樹脂ペースト又は導電材ペーストの塗布）により、容量素子の誘電体層や電極層等を配線基板内又は表面に直接形成する場合、その成膜を安定して行うためには、概ね200℃以上の高温のプロセスを必要とする。

【0008】しかしながら、このような高温のプロセスを上記した先行技術に記載されるような配線基板（樹脂配線板）に適応することは、当該基板に用いられる有機樹脂の耐熱性の点から極めて困難である。以上、受動素子として容量素子を形成した場合の課題について説明したが、同様の課題は、容量素子以外の他の受動素子を形

成した場合にも起こり得る。例えば抵抗素子の場合、容量素子と同様に、パッケージ上での配設位置によっては本来の機能（この場合、抵抗体としての効果）を十分に発揮できない場合がある。また、その抵抗素子の抵抗体層として耐熱性に劣る有機樹脂を用いた場合、上記と同様、成膜を安定に行うための高温のプロセスを適応できない。

【0009】本発明は、上述した従来技術における課題に鑑み創作されたもので、容量素子等の受動素子を薄膜法等により形成する際にその成膜を安定に行うための高温のプロセスを適応可能とし、併せて小型化及び軽量化も図ることができる半導体パッケージ及びその製造方法並びに半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明では、半導体パッケージの分野において一般に用いられている技術を有効に利用している。すなわち、集積回路の高密度化による回路動作時の発熱量の増大は信頼性の低下につながるため、耐熱性に劣る樹脂配線板を用いた半導体パッケージでは、高伝熱性を有する金属板等を放熱板（ヒートスプレッド又はヒートシンク）としてパッケージの表面又はその一部に接合し、パッケージ内部で生じる熱を有効に放散させている。

【0011】また、パッケージの小型化や薄型化の動向に伴い、その配線板も薄くなり強度的に弱くなるため、これを補強するための金属板等を補強板（スティフナ）としてパッケージの表面又はその一部に取り付けることも行われている。本発明は、このように半導体パッケージの分野では通常に用いられている放熱板や補強板等を積極的に活用して従来の課題を解決するものである。

【0012】従って、本発明の一形態によれば、半導体素子を搭載するための半導体パッケージであって、前記半導体素子が搭載される部分に対応した箇所に、該半導体素子の搭載により占有される面積よりも大きな面積の開口部を有すると共に、耐熱性を有する枠状の板材の一方の面に受動素子が形成された構造体と、前記受動素子を搭載するための第1の電気的接続手段及び前記半導体素子を搭載するための第2の電気的接続手段を同一面側に有する樹脂配線板とを備え、前記構造体の一方の面側と前記樹脂配線板とが前記第1の電気的接続手段を介して接合されていることを特徴とする半導体パッケージが提供される。

【0013】また、本発明の他の形態によれば、半導体素子を搭載するための半導体パッケージの製造方法であって、耐熱性を有する板材の一方の面に、薄膜法又は厚膜法により、少なくとも電極層を有する受動素子を形成する第1の工程と、前記受動素子を搭載するための第1の接続端子と前記半導体素子を搭載するための第2の接続端子を同一面側に有する樹脂配線板を作製する第2の

工程と、前記板材の上に前記受動素子が形成された構造体と前記樹脂配線板とを、前記受動素子の電極層が前記第 1 の接続端子に対応するようにして接合する第 3 の工程とを含むことを特徴とする半導体パッケージの製造方法が提供される。

【0014】本発明に係る半導体パッケージ及びその製造方法によれば、容量素子等の受動素子を、従来のように耐熱性に劣る樹脂配線板の表面又は内部に設けるのではなく、放熱板や補強板として用いることができる耐熱性を有する板材の上に形成している。従って、受動素子として例えば容量素子を形成する場合、この容量素子の誘電体層や電極層の形成に際してその成膜温度を高くしても、耐熱性を有する板材に熱的な影響が及ぼされることはなく、また、容量素子を形成する工程とは別工程で作製される耐熱性に劣る樹脂配線板にも何ら熱的な影響が及ぼされることはない。

【0015】つまり、容量素子等の受動素子を薄膜法や厚膜法により形成する際に比較的高温（200℃以上）のプロセスを適応することができ、これによって成膜を安定に且つ緻密に行うことが可能となる。また、薄膜法等により受動素子をパッケージ内の放熱板／補強板として用いられる板材の上に形成しているのを、パッケージ全体として小型化及び軽量化を図ることができる。

【0016】さらに、本発明の他の形態によれば、上述した半導体パッケージに第 2 の電気的接続手段又は第 2 の接続端子を介して半導体素子が搭載されていることを特徴とする半導体装置が提供される。また、別の形態として、耐熱性を有する板材の一方の面に受動素子が形成された構造体と、前記受動素子を搭載するための第 1 の電気的接続手段及び半導体素子を搭載するための第 2 の電気的接続手段を同一面側に有する樹脂配線板とを備え、前記半導体素子が前記第 2 の電気的接続手段を介して前記樹脂配線板に実装されると共に、前記構造体の一方の面側と前記樹脂配線板とが前記第 1 の電気的接続手段を介して接合されていることを特徴とする半導体装置が提供される。

【0017】

【発明の実施の形態】図 1 は本発明の一実施形態に係る半導体パッケージの断面的な構成を示したものである。図 1 において、1 は半導体パッケージ、2 は半導体パッケージ 1 に搭載される半導体素子（チップ）を示す。半導体パッケージ 1 は、基本的に、耐熱性を有する板材の上に受動素子（本実施形態では容量素子）が形成された構造体 10 と、受動素子及び半導体チップ 2 を搭載するための接続端子（電気的接続手段）及び本パッケージ 1 をマザーボード等の他のプリント配線基板に搭載するための接続端子（電気的接続手段）が接合される各端子形成部分を有する樹脂配線板（多層配線基板）20 によって構成されている。

【0018】構造体 10 において、11 は枠状に加工さ

れた補強板（スティフナ）として供される金属板、12 は金属板 11 上に形成された容量素子を示し、この容量素子 12 は、一方の電極を構成するグランド用の配線パターンを含む導体層 13 と、所要の誘電率を有する誘電体層 14 と、他方の電極を構成する電源用の配線パターンを含む導体層 15 とによって構成されている。容量素子 12 は、従来技術の課題に関連して説明したように、配線間のクロストークノイズや電源電位の変動等を抑制するために設けられる。

10 【0019】一方、樹脂配線板（多層配線基板）20 において、21 は配線基板のベースとなるコア基板、22 はコア基板 21 の両面にパターニングにより形成された配線パターン等を含む導体層、23 はコア基板 21 に形成されたスルーホールに充填された樹脂（絶縁体）、24 は配線基板の 2 層目のビルドアップ層を構成する樹脂層（絶縁層）、25 は樹脂層 24 に形成されたビアホール、26 はビアホール 25 の内壁を含めて樹脂層 24 の上にパターニングにより形成された配線パターン等を含む導体層、27 は配線基板の 3 層目のビルドアップ層を構成する樹脂層（絶縁層）、28 は樹脂層 27 に形成されたビアホール、29 はビアホール 28 の内壁を含めて樹脂層 27 の上にパターニングにより形成されたパッド等を含む導体層、30 は導体層 29 のパッドの部分を除いて樹脂層 27 及び導体層 29 を覆うように形成された保護膜としてのソルダレジスト層、31、32 及び 33 はそれぞれ接続端子として用いられるはんだバンプを示す。

30 【0020】上側の導体層 29 から露出するパッドは、容量素子 12 及び半導体チップ 2 を搭載する際にそれぞれはんだバンプ 31 及び 32 が接合される端子形成部分として用いられ、一方、下側の導体層 29 から露出するパッドは、本パッケージ 1 をマザーボード等を実装する際に同様にはんだバンプ 33 が接合される端子形成部分として用いられる。

40 【0021】また、34 は絶縁性の接着剤を示し、後述するように容量素子 12 が形成された金属板（補強板）11 と樹脂配線板 20 との機械的な接合強度を高めるためのものである。なお、導体層 13、15、22、26、29 の材料としては Cu が用いられ、誘電体層 14 の材料としては、例えばペロブスカイト型構造のセラミックスが好適に用いられる。具体例としては、BaTiO₃、PZT、SrTiO₃ 等を挙げることができる。また、絶縁体 23 及び絶縁層 24、27 を構成する樹脂としては、例えば熱硬化型のポリイミド樹脂、エポキシ樹脂、ポリフェニレンエーテル（PPE）樹脂等が用いられる。

50 【0022】本実施形態に係る半導体パッケージ 1 は、後述の製造プロセスに関連して説明するように、薄膜法や厚膜法により容量素子 12 をパッケージ 1 内に形成する際に、その容量素子 12 を、耐熱性に劣る樹脂配線板

20 側に設けるのではなく、耐熱性を有する金属板（補強板）11 側に設けたことを特徴としている。以下、本実施形態の半導体パッケージ 1 について、その製造工程を順に示す図 2～図 4 を参照しながら説明する。

【0023】本実施形態に係る製造方法は、基本的には、金属板（補強板）11 上に容量素子 12 を形成して構造体 10 を作製する工程（図 2（a）～図 2（d））と、容量素子 12 を半導体チップ 2 と共に搭載するための樹脂配線板（多層配線基板）20 を作製する工程（図 3（a）～図 3（c））と、この樹脂配線板 20 に構造体 10 を接合して半導体パッケージ 1 を完成する工程（図 4）の 3 つからなっている。

【0024】最初の工程では（図 2（a）参照）、半導体パッケージ 1 の大きさに対応した補強板として供される金属板 11、例えば銅（Cu）板を用意し、図示のように枠状に加工する。すなわち、後の段階で半導体チップ 2 を搭載した時に該半導体チップが占有する部分に対応した箇所を開口しておく（開口部 Q）。金属板 11 の材料としては、Cu 以外に、アルミニウム（Al）、Cu 合金、Al 合金、ステンレス（SUS）鋼、クラッド金属等を用いることができる。また、金属板 11 に代えて、アルミナ等のセラミックを用いることも可能である。但し、後述するように補強／放熱効果をより高められるという点で、セラミックよりも金属板の方が好適である。

【0025】次の工程では（図 2（b）参照）、金属板 11 の上に、この金属板 11 を給電層として Cu の電解めっきにより Cu 薄膜を形成し、更に Cu 薄膜をエッチングによりパターンニングし、容量素子 12 の一方の電極を構成するグラウンド用の配線パターンを含む Cu の導体層 13 を形成する。導体層 13 の配線パターンの一部である電極は、後述するようにはんだバンプ 31 を介して多層配線基板 20 上の対応するパッド（端子形成部分）に接続される。

【0026】次の工程では（図 2（c）参照）、導体層 13 の上に、スパッタリングにより例えば 20 以上の高誘電率を有する誘電体薄膜を形成し、更に誘電体薄膜をエッチングによりパターンニングして誘電体層 14 を形成する。この誘電体薄膜（誘電体層 14）の材料としては、BaTiO₃、PZT、SrTiO₃ 等が好適に用いられる。

【0027】このとき、基板である金属板（例えば Cu 板）11 は 500℃ 以上にも十分に耐え得るので、緻密で且つ安定した成膜が可能な高温（200℃ 以上）での処理を行うことができる。次の工程では（図 2（d）参照）、誘電体層 14 の上に、スパッタリングにより Cu 薄膜を形成し、更に Cu 薄膜をエッチングによりパターンニングし、容量素子 12 の他方の電極を構成する電源用の配線パターンを含む Cu の導体層 15 を形成する。同様に、導体層 15 の配線パターンの一部である電極は、

後述するようにはんだバンプ 31 を介して多層配線基板 20 上の対応するパッド（端子形成部分）に接続される。

【0028】このようにして、金属板 11 上に容量素子 12 が形成された構造体 10 が得られる。次の工程では（図 3（a）参照）、先ず配線基板のベースとなるコア基板 21 として、例えばガラス布基材銅張積層板（ガラス布を基材とし、エポキシ樹脂、BT 樹脂、PPE 樹脂等を含浸させ、銅箔と積層し接着した板）を用意し、レーザ又はドリル加工による穴明け処理によりコア基板 21 の所要箇所にスルーホールを形成する。なお、レーザとしては YAG レーザ、CO₂ レーザ等が用いられる。

【0029】次に、スルーホール内も含めてコア基板 21 の両面に Cu の無電解めっきにより Cu 薄膜を形成し、次いで Cu 薄膜からの給電による Cu の電解めっきにより Cu 層を形成する。更に、この Cu 層をエッチングによりパターンニングし、1 層目の配線パターン等を含む Cu の導体層 22 を形成する。この後、スルーホール内に樹脂 23 を充填する。

【0030】次の工程では（図 3（b）参照）、周知のビルドアップ法により、絶縁層の形成、絶縁層におけるビア・ホールの形成、及び、ビア・ホールの内部を含めた導体層（パターン化された配線、パッド等）の形成を順次繰り返して各ビルドアップ層を積層する。具体的には、導体層 22 及び樹脂 23 を含めてコア基板 21 の両面に樹脂フィルムを積層して樹脂層（絶縁層）24 を形成し、次いで、レーザによる穴明け処理により樹脂層 24 にビアホール 25 を形成する。

【0031】次に、ビアホール 25 の内壁を含めて樹脂層 24 の上に Cu の無電解めっきにより Cu 薄膜を形成し、次いで、Cu 薄膜からの給電による Cu の電解めっきにより Cu 層を形成する。更に、この Cu 層をエッチングによりパターンニングし、2 層目の配線パターン等を含む Cu の導体層 26 を形成する。この 2 層目の導体層 26 は、ビアホール 25 の内壁に形成された Cu 層を介して 1 層目の導体層 22 に接続される。

【0032】以降同様にして、3 層目の樹脂層（絶縁層）27、ビアホール 28 及び Cu の導体層 29 を形成する。次の工程では（図 3（c）参照）、3 層目の導体層 29 のパッドの部分（端子形成部分）を除いて樹脂層 27 及び導体層 29 を覆うようにソルダレジスト層 30 を形成する。具体的な方法としては、例えば、樹脂層 27 及び導体層 29 の全面に感光性のソルダレジスト層を形成し、更にパッドの形状に従うように露光及び現像（ソルダレジスト層のパターンニング）を行い、当該パッドの領域に対応する部分のソルダレジスト層に開口部を形成する。これによって、当該パッドが露出し、他の部分がソルダレジスト層 30 によって覆われたことになる。

【0033】この後、ソルダレジスト層 30 から露出し

た導体層 29 の各パッド上に、容量素子搭載用、半導体チップ搭載用及びマザーボードへの実装用の接続端子として用いられるはんだバンプ 31、32 及び 33 をリフローにより接着する。このようにして、搭載用／実装用の各接続端子が表面に形成された樹脂配線板 20 が得られる。

【0034】最後の工程では（図 4 参照）、図 2（a）～図 2（d）の工程で作製した構造体 10（容量素子 12 が形成された金属板 11）を、図 3（a）～図 3

（c）の工程で作製した樹脂配線板 20 に接合する。これは、電気的な接合と機械的な接合の両面で行う。先ず、破線の矢印で示すように、容量素子 12 の各電極（導体層 13、15 の各配線パターンの一部）を樹脂配線板 20 上のはんだバンプ 31 に接触させて、リフローにより接着することで電気的な接続を確保する。その一方で、機械的な接合強度を保つために、絶縁性の接着剤 34（図 1 参照）を用いて金属板 11（構造体 10）全体を樹脂配線板 20 に接合する。

【0035】以上の工程により、本実施形態の半導体パッケージ 1 を得ることができる。本実施形態の半導体パッケージ 1 に半導体チップ 2 を搭載する際には、両者間の接続は、図 1 に示すように樹脂配線板 20 上の対応するはんだバンプ 32 に半導体チップ 2 の電極（図示せず）を接触させ、リフローにより接着することで行われる。同様に、本実施形態の半導体パッケージ 1 をマザーボード等に搭載する際にも、はんだバンプ 33 を介して行う。すなわち、半導体パッケージ 1 の下側の面に形成されたソルダレジスト層 30 から露出したはんだバンプ 33 をマザーボード上の対応する電極パッド上にリフローにより接着することで、両者間の接続が行われる。

【0036】以上説明したように、本実施形態に係る半導体パッケージ 1 及びその製造方法によれば、容量素子 12 をパッケージ 1 内に形成する際に、耐熱性に劣る樹脂配線板 20 側に設けるのではなく、耐熱性を有する金属板（補強板）11 の上に形成している。従って、容量素子 12 の誘電体層 14 や電極層 13、15 の形成に際してその成膜温度を高くしても、金属板（補強板）11 に熱的な影響が及ぼされることはなく、また、容量素子 12 を形成する工程とは別工程で作製される樹脂配線板 20 にも何ら熱的な影響が及ぼされることはない。

【0037】つまり、容量素子 12 を形成する際に比較的高温（200℃以上）のプロセスを適応することができ、その結果、緻密で且つ安定した膜形成を行うことが可能となる。なお、容量素子 12 の形成は、薄膜法又は厚膜法により行われる。薄膜法としては、例えばスパッタリング、CVD 等が用いられる。一方、厚膜法としては、樹脂ペースト（例えば樹脂ペースト中に BaTiO₃ 等のセラミック粉末を含有させたもの）や導電材ペースト（例えば樹脂ペースト中に Cu や Ag の粉末を含有させたもの）が用いられる。具体的には、樹脂ペースト

や導電材ペーストを塗布し、これらペーストを硬化させることで、容量素子 12 の誘電体層 14 や電極層 13、15 が形成される。

【0038】また、容量素子 12 は半導体パッケージ 1 内の金属板（補強板）11 の上に形成されている（つまりパッケージ 1 に内装されている）ので、パッケージ 1 全体として小型化及び軽量化を図ることができる。さらに、半導体パッケージ 1 の補強板として設けた金属板 11 は、熱伝導性が高いので、放熱板としての役割も担うことができる。

【0039】本実施形態では、この金属板 11 を枠状に形成して（図 2（a）参照）半導体チップ 2 の周囲を取り囲むように構成した場合について説明したが、金属板 11 の形態はこれに限定されないことはもちろんである。例えば、枠状の形態に代えて、半導体チップ 2 を覆い隠すような矩形状の形態としてもよい。その一例は図 5 に示される。

【0040】図 5 の例示では、半導体チップ 2 が収容される位置に対応する部分にキャビティを有するように金属板 40 を加工し、この金属板 40 に補強効果と放熱効果を持たせている。なお、図示のように一体的に金属板 40 を加工する代わりに、図 1 の実施形態に示す枠状の金属板 11 の上に、半導体チップ搭載面側を覆うようにして更に矩形状の金属板を設けてもよい。

【0041】図 5 に示す実施形態では、半導体パッケージ 1 a の半導体チップ搭載面側を覆うように補強用／放熱用の金属板 40 が設けられる構造であるため、図 1 に示す実施形態の場合とは異なり、半導体チップ 2 を樹脂配線板 20 に実装した後、構造体 10 a（容量素子 12 が形成された金属板 40）と樹脂配線板 20 の接合が行われる。その意味で、図 5 の実施形態は、半導体チップ 2 が容量素子 12 と共に搭載された状態のパッケージ、すなわち「半導体装置」を示している。なお、構造体 10 a を樹脂配線板 20 に接合する際には、図示のように絶縁性の接着剤 41 を用いて金属板 40 と半導体チップ 2 の間も接合する。

【0042】本実施形態によれば、図 1 に示す実施形態との対比から明らかなように、金属板 40 のサイズ及びその表面積が相対的に大きくなっているため、補強効果と共に放熱効果をより一層高めることが可能となる。また、上述した各実施形態のパッケージ（図 1、図 5 参照）では、樹脂配線板 20 に容量素子 12 及び半導体チップ 2 を電気的に接続するための手段としてはんだバンプ 31、32 を用いた場合について説明したが、かかる電気的接続手段の形態はこれに限定されないことはもちろんである。例えば、金（Au）バンプや異方性導電膜（ACF）等を用いてもよい。

【0043】これは、マザーボード搭載側にも同様に適用され得る。すなわち、各実施形態のパッケージ 1、1 a をマザーボードに電気的に接続するための手段とし

て、はんだバンプ 33 に代えて、Au バンプや ACF 等を用いることも可能である。また、上述した各実施形態では、補強用／放熱用の金属板 11、40 に受動素子として容量素子 12 を形成した場合について説明したが、受動素子の形態はこれに限定されないことはもちろんである。例えば、抵抗素子を形成してもよく、この場合には、誘電体層 14 に代えて、所要の抵抗率を有する抵抗体層が適宜形成される。

【0044】なお、電氣的に絶縁する必要のある複数の容量素子や抵抗素子を形成する場合には、図 2 (b) の工程の前に、金属板 11 の表面に酸化膜等の絶縁膜を形成しておく必要がある。また、上述した各実施形態では、補強用／放熱用の金属板 11、40 の上に容量素子 12 の一方の電極を構成する導体層 13 を形成しているが、この導体層 13 を形成せずに、金属板 11 に導体層 13 の役割を兼用させてもよい。

【0045】さらに、上述した各実施形態では、当該パッケージ 1、1a をマザーボード等に搭載するための接続端子としてはんだバンプ 33 を用いた場合について説明したが、接続端子の形態はこれに限定されず、例えばピンの形態とすることも可能である。かかるピンを半導体パッケージの接続端子として用いる場合、ピンの接合は以下に行われる。例えば図 3 (c) の工程を参照すると、樹脂配線板 20 の下側の面においてパッドの領域に対応する部分のソルダレジスト層 30 に開口部を形成した後、この開口部において露出したパッド上に適量のはんだペーストを載せ、その上に、例えば径大の頭部を有する T 字状のピンの頭部を配置し、更にリフローによりはんだペーストを固め、ピンを接合する。この後、半導体パッケージをマザーボードに搭載する際にも、同様にして、マザーボード上の対応する電極パッド上に適量のはんだペーストを載せ、その上に T 字状のピンの脚部を当ててリフローによりはんだペーストを固める。

【0046】なお、上述した各実施形態では半導体チップ 2 の接続端子としてはんだバンプ 32 が露出している状態の構成が図示されているが、かかるはんだバンプの周囲の部分に、当該技術分野では通常に用いられているアンダーフィル材を適宜充填してもよいことはもちろ

んである。

【0047】

【発明の効果】以上説明したように本発明によれば、容量素子等の受動素子を薄膜法等により形成するに際してその成膜を安定に行うための高温のプロセスを適応することができ、これによって緻密で且つ安定した膜形成を行うことが可能となる。また、受動素子は半導体パッケージに内装されているので、小型化及び軽量化を図ることもできる。

10 【図面の簡単な説明】

【図 1】本発明の一実施形態に係る半導体パッケージの構成を示す断面図である。

【図 2】図 1 の半導体パッケージの製造工程を示す断面図（一部は斜視図）である。

【図 3】図 2 の製造工程に続く製造工程を示す断面図である。

【図 4】図 3 の製造工程に続く製造工程を示す断面図である。

20 【図 5】本発明の他の実施形態に係る半導体パッケージの構成を示す断面図である。

【符号の説明】

1、1a…半導体パッケージ

2…半導体素子（チップ）

10、10a…構造体（容量素子が形成された金属板）

11、40…金属板（補強板／放熱板）

12…容量素子

13、15…導体層（電極、配線パターン）

14…誘電体層

20…樹脂配線板（多層配線基板）

30 21…コア基板

22、26、29…導体層（配線パターン、パッド）

23…スルーホールに充填された樹脂（絶縁体）

24、27…樹脂層（絶縁層）

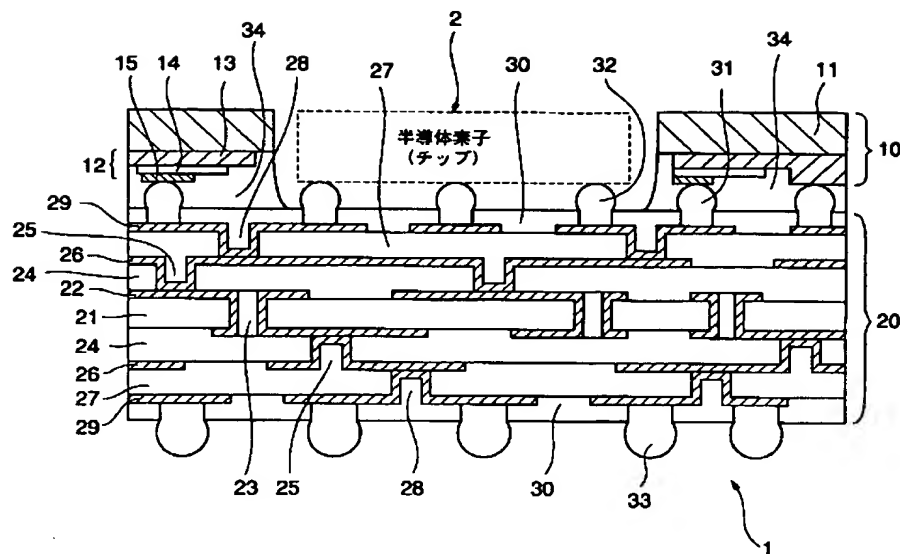
25、28…ビアホール

30…ソルダレジスト層（保護膜）

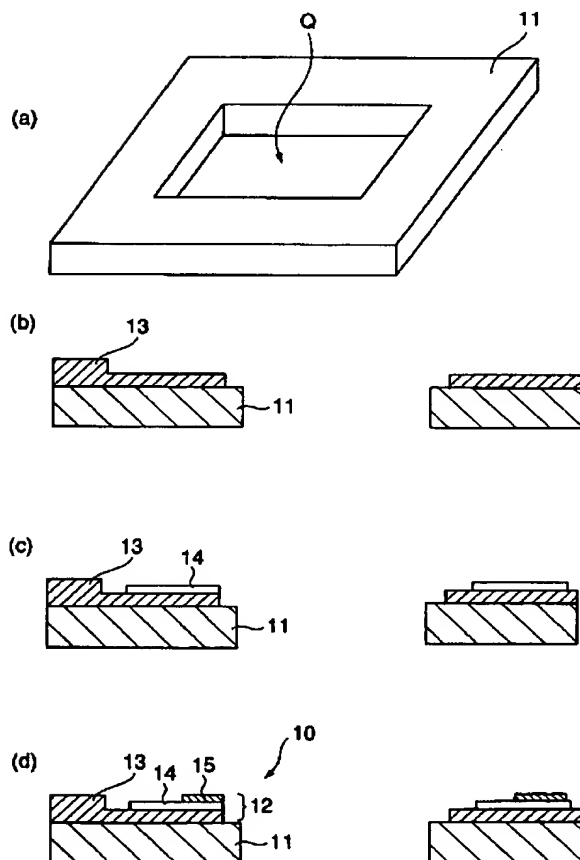
31、32、33…はんだバンプ（接続端子／電氣的接続手段）

34、41…絶縁性の接着剤

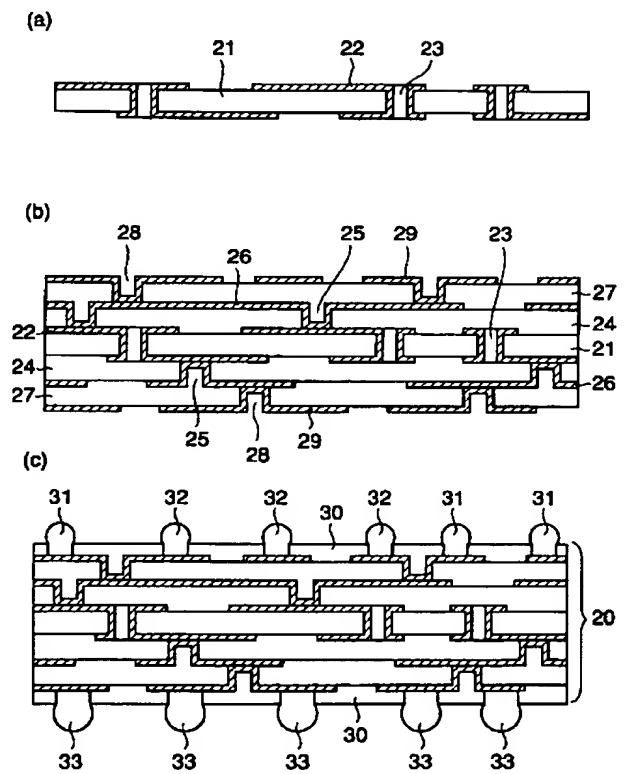
【図1】



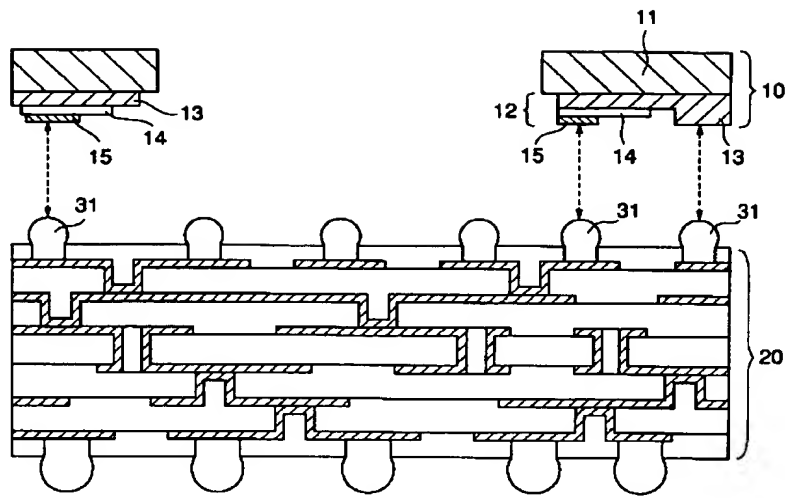
【図2】



【図3】



【図4】



【図5】

